

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82803

(P2000-82803A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int. CL⁷

識別記号

F I

チーマート (参考)

H 0 1 L 27/108
21/8242

H 0 1 L 27/10

6 8 1 F 5 F 0 8 3
6 2 1 B

審査請求 有 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平10-252306

(22) 出願日 平成10年9月7日 (1998.9.7)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 谷川 高純

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100084250

弁理士 丸山 隆夫

Pターム (参考) 5F083 AD42 AD48 GA11 GA27 GA39

JA35 JA36 JA39 JA40 JA53

PR03 PR16 PR21 PR40 PR43

PR44 PR45 PR48 PR53 PR54

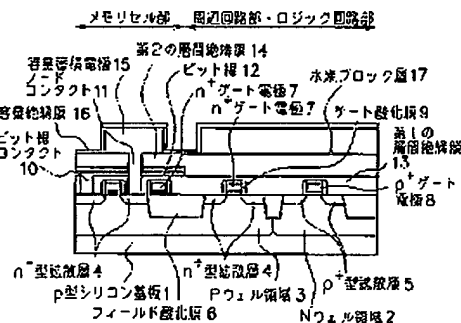
PR55 ZA12

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 スタックキャパシタとp⁺ゲート構造のトランジスタを有する半導体装置の製造方法において、容量絶縁膜の形成工程のシリコン窒化膜またはその後の窒化膜酸化時において、水素の発生および下方への拡散によりp⁺ゲート中のボロンの拡散が促進され、ボロンがゲート酸化膜を突き抜けてシリコン基板表面に達することによるPMOSTランジスタのしきい値電圧(V_T)が低下することを防止する。

【解決手段】 容量蓄積電極16またはビット線12と同一の導電性膜からなる水素ブロック層17をメモリスセルの周辺回路部とロジック回路部とに形成した後、メモリスセル形成部のみ選択的にフォトリソを施し、フォトリソをマスクとして水素ブロック層17をエッチング除去する。



JP,2000-082803,A

© STANDARD C ZOOM-UP ROTATION No Rotation

REVERSAL

RELOAD

PREVIOUS PAGE

NEXT PAGE

DETAILS

Copyright (C); 2000 Japan Patent Office

(2)

特開2000-82803

1

【特許請求の範囲】

【請求項1】 メモリセル部と周辺回路部とロジック回路部とを有し、スタックキャパシタとp⁺ゲート構造のトランジスタを有する半導体装置の製造方法において、前記周辺回路部と前記ロジック回路部とに、容量蓄積電極またはビット線と同一の導電体膜からなる水素ブロック層を形成する工程と、

前記メモリセル部にのみ選択的にフォトレジスト膜を残置し、該フォトレジスト膜をマスクとして前記周辺回路部と前記ロジック回路部とに形成された前記水素ブロック層をエッチング除去する工程とを設けたことを特徴とする半導体装置の製造方法。

【請求項2】 前記水素ブロック層を多結晶シリコン膜で形成し、前記多結晶シリコン膜を容量上部電極のエッチング時に同時に除去するようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記水素ブロック層を高融点金属膜で形成し、該高融点金属膜を容量上部電極のエッチング時に同時に除去するようにしたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 コンタクトホールを形成し、続いて金属材料配線を形成する工程を設けたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記水素ブロック層を高融点金属膜で形成し、該高融点金属膜を前記金属材料配線と下層の導電体層を接続するコンタクトホールのエッチング時に同時に除去するようにしたことを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記メモリセル部にDRAMを形成することを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スタック型キャパシタとPNゲート構造を有するDRAMまたはロジック回路DRAM等に用いて好適な半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図7は従来のスタック型キャパシタとPNゲート構造を有するロジック回路DRAMとしての半導体記憶装置の構成を示す。

【0003】図7において、半導体記憶装置は、メモリセル部と周辺回路部・ロジック回路部とから成り、p型シリコン基板1、Nウェル領域2、Pウェル領域3、n⁺型拡散層4、p⁺型拡散層5、フィールド酸化膜6、n⁺ゲート電極7、p⁺ゲート電極8、ゲート酸化膜9、ビット線コンタクト10、ノードコンタクト11、ビット線12、第1の層間絶縁膜13、第2の層間絶縁膜14、容量蓄積電極15、容量絶縁膜16等で構成されている。

2

【0004】スタックキャパシタの容量蓄積電極15の形成後に容量絶縁膜16としてCVD窒化膜を堆積し、その後、スチーム雰囲気での熱酸化により窒化膜表面を酸化して酸窒化膜を形成する。その後、窒化膜上に容量上部電極を形成し、続いてコンタクトホールおよびアルミ配線を形成して半導体記憶装置が完成する。

【0005】

【発明が解決しようとする課題】上述したスタック型キャパシタとPNゲート構造を有するDRAMまたはロジック回路DRAMの容量絶縁膜を形成する工程において、気相成長(LPCVD)法によるシリコン窒化膜を形成する際に、700℃の高温で水素雰囲気中に曝されるために、PMOSTランジスタ部のp⁺ゲート電極8内にドーパされたボロン(B)が異常に拡散し、ゲート酸化膜9を突き抜けてしまい、PMOSTランジスタのしきい値電圧(V_T)が低下するという問題があった。

【0006】上記の問題が生じる理由としては、LPCVD法によりシリコン窒化膜を形成する場合、 $3Si + 4NH_3 \rightarrow Si_3H_8 + 12H_2$ の反応式で表されるように窒化膜形成と同時に大量の水素が発生する。

【0007】水素雰囲気でのボロンの酸化膜中の拡散係数は、 N_2/H_2 (10%) 雰囲気では N_2 (100%) 雰囲気に比べて1桁～2桁程度大きくなる。そのため、p⁺ゲートを用いたPMOSTランジスタでは、ゲート中のボロンがゲート酸化膜をすり抜けて基板表面に達する。尚、参考文献として、YOSHI SHACHAM-DIAMOND et al, J. Electronic Materials vol. 15 NO. 4P. 229 1986がある。

【0008】本発明は、上記の問題を解決するために成されたもので、容量絶縁膜形成工程時に発生した水素がゲート酸化膜を突き抜けてしまうのを防止することを目的としている。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明による半導体装置の製造方法においては、メモリセル部と周辺回路部とロジック回路部とを有し、スタックキャパシタとp⁺ゲート構造のトランジスタを有する半導体装置の製造方法において、周辺回路部とロジック回路部とに、容量蓄積電極またはビット線と同一の導電体膜からなる水素ブロック層を形成する工程と、メモリセル部にのみ選択的にフォトレジストを残置し、フォトレジスト膜をマスクとして周辺部とロジック回路部とに形成された水素ブロック層をエッチング除去する工程とを設けている。

【0010】また、水素ブロック層を多結晶シリコン膜または高融点金属膜で形成し、水素ブロック層を容量上部電極のエッチング時に同時に除去するようにしてよい。また、コンタクトホールを形成し、続いて金属材料配線を形成する工程を設けてよい。

【0011】また、水素ブロック層を高融点金属膜で形

50

(3)

特開2000-82803

3

成し、高融点金属膜をメタル配線と下層の導電体層を接続するコンタクトホールのエッチング時に同時に除去するようにしてよい。さらに、メモリセル部にDRAMを形成してよい。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面と共に説明する。本発明の実施の形態は、スタック型キャパシタとデュアルゲート(p^-n ゲート)構造を有するDRAMまたはロジック混載DRAMのキャパシタの容量絶縁膜を形成する工程において、気相成長(LPCVD)法によるシリコン窒化膜を形成する際に、700℃以上の高温水素雰囲気中に曝されるために、PMOSTランジスタ部の p^- ゲート電極中のボロン(B)が異常に拡散し、ゲート酸化膜を突き抜けてしまうという問題を解決するものである。

【0013】上記問題を解決するために、本発明の実施の形態においては、トランジスタの上方に容量蓄積電極と同一の導電体膜(多結晶シリコン膜)を設けることにより、シリコン窒化膜を成長中に発生する水素を多結晶シリコン膜の結晶粒界のダングリングボンドで吸収させ、 p^- ゲート電極部へ到達する水素を遮断するようにしている。

【0014】図1は本発明の実施の形態による半導体装置の製造方法における一工程を示す断面図であり、図7と対応する部分には同一番号が付されている。この工程においては、トランジスタの上方にスタック型キャパシタが設けられたメモリセル部と、容量蓄積電極15と同一導電体層からなる水素ブロック層17が設けられたDRAM周辺・ロジック部とを有している。

【0015】 p 型シリコン基板1上のメモリセル領域にはトランジスタが形成され、トランジスタを覆う第1の層間絶縁膜13上にはトランジスタの n^- 型拡散層4に導通するビット線12が形成されている。

【0016】また、ビット線12を覆う第2の層間絶縁膜14上には、多結晶シリコンからなる容量蓄積電極15、酸化窒化膜(NO)からなる容量絶縁膜16、容量絶縁膜16上に形成される n 型多結晶シリコン膜からなる容量上部電極(不図示)で構成されたスタック型キャパシタが形成されている。

【0017】一方、周辺回路部・ロジック回路部には、トランジスタ上に第1、第2の層間絶縁膜13、14が形成されている。そして、周辺回路部・ロジック回路部全体が、容量蓄積電極15と同一の多結晶シリコン膜からなる水素ブロック層17で覆われている。

【0018】次に上記構成を有する半導体装置の製造方法の第1～第4の実施の形態について説明する。まず、第1の実施の形態を図2(a)～図3(e)と共に説明する。始めに図2(a)に示すように、 p 型シリコン基板1の表面に公知のLOCOS法による膜厚300nm程度のフィールド酸化膜6を形成する。その後、ゲート酸

4

化膜9を形成した後、膜厚150nm程度の n^- 型および p^- 型にドーパされた多結晶シリコン膜と膜厚100nm程度のタングステン・シリサイド膜からなるゲート電極7、8をメモリセル部と周辺回路部・ロジック回路部に形成する。

【0019】ここで、 n^- 型の多結晶シリコン膜はNMOSTランジスタ形成領域に砒素(As)のイオン注入(条件例:30KeV、5E15cm⁻²)を行って形成する。

【0020】一方、 p^- 型の多結晶シリコン膜はPMOSTランジスタ形成領域にボロン(B)のイオン注入(条件例:10KeV、5E15cm⁻²)またはフッ化ボロン(BF₃)のイオン注入(条件例:30KeV、5E15cm⁻²)を行って形成する。

【0021】続いて、ゲート電極7、8とフォトレジストをマスクにしてメモリセル部と周辺回路部・ロジック回路部のNMOSTランジスタ領域に29～50KeV、1～3×10¹³cm⁻²程度のリン(P)または砒素のイオン注入を行い、 n^- 型拡散層4を形成する。ついで、トランジスタの側壁スペーサとなるシリコン酸化膜を形成する。

【0022】シリコン酸化膜がHTO膜からなる場合、側壁スペーサの形成方法の一例は次のようである。シラン(SiH₄)と亜酸化窒素(N₂O)を原料ガスとした800℃程度での減圧気相成長(LPCVD)法により全面に膜厚100nm程度のHTO膜を形成し、その後HTO膜を反応性イオンエッチングによりエッチバックすることにより側壁スペーサが形成される。

【0023】次に、周辺回路部・ロジック回路部のトランジスタのソース・ドレイン拡散層を形成するために、砒素をNMOSTランジスタにフッ化ボロン(BF₃)をPMOSTランジスタにイオン注入する【図2(a)】。

【0024】次に、常圧CVD法による膜厚100nm程度のシリコン酸化膜とTEOS(SiOC₂H₆)4ガスとホスフィン(PH₃)とトリメチルボレイトB(OC₂H₅)3)ガスと酸素(O₂)ガスを原料ガスとしたLPCVD法により膜厚700nm程度のBPSG膜を全面に形成後、窒素雰囲気中の800～900℃での炉アニールまたはランプアニールを行い、その後、化学的機械研磨(CMP)法あるいは反応性イオンエッチングによるエッチバック法により膜厚500nm程度の第1の層間絶縁膜13を形成する。

【0025】続いて、フルオロ・カーボン系のエッチングガス(CHF₃、CF₄)を用いた異方性エッチングにより、メモリセル部の n^- 型拡散層4に達するビット線コンタクト10を第1の層間絶縁膜13に開口し、全面に膜厚100nm程度のリンなどの n 型不純物をドーピングした多結晶シリコン膜と膜厚100nm程度のタングステン・シリサイド(WSi₂)膜を順次形成した

(4)

特開2000-82803

5

後、この2層からなるタンゲステン・ポリサイド膜をパターンニングすることによりビット線12を形成する【図2(b)】。

【0026】次に、全面に第2の層間絶縁膜14を形成する。第2の層間絶縁膜14は、膜厚100nm程度の常圧CVD法によるシリコン酸化膜とLPCVD法による膜厚300nm程度のBPSG膜から形成されている。また、第2の層間絶縁膜14の表面は平坦化されており、p型シリコン基板1の表面から第2の層間絶縁膜14表面の高さは800nm程度である。

【0027】次に、フォトリソistをマスクにした異方性エッチングを行うことにより、n⁺型拡散層4に達するメモリセル部のノードコンタクト11を形成する。ついで、フォトリソistを除去した後、膜厚800nm程度のリンなどのn型不純物をドーピングした第1の多結晶シリコン膜をLPCVD法により堆積する。第1の多結晶シリコン膜の形成方法を以下に示す。

【0028】1. モノシランガス(SiH₄)を原料ガスに用いた成長温度600~650℃程度でのLPCVD法により多結晶シリコン膜を膜厚800nm程度堆積した後、リンなどの不純物を気相拡散法により第1の多結晶シリコン中に拡散し、n型の多結晶シリコン膜に変換する。

【0029】2. モノシランガスとフォスフィン(PH₃)ガスを原料ガスとする成長温度480~580℃でのLPCVD法によりn型にドーピングされた非晶質シリコン膜を堆積後に温度700~900℃程度の窒素(N₂)雰囲気でのアニーリングまたはランプアニーリングを施すことにより、非晶質シリコン膜を多数の結晶グレインと結晶粒界を有するn型多結晶シリコン膜に変換する。

【0030】3. 上記LPCVD法による多結晶シリコン膜および非晶質シリコン膜を複数回(2~10回)に分けて成長し、グレインサイズを小さくし、結晶粒界を多くする。

【0031】次に、メモリセル部の容量蓄積電極形成領域および周辺回路部・ロジック回路部領域の第1の多結晶シリコン膜表面を覆うようにフォトリソistでマスクして異方性エッチングすることにより、容量蓄積電極15と水素ブロック層17とを形成する。続いて、フォトリソistを除去した後、容量蓄積電極表面をアンモニア雰囲気での800~900℃の急速熱酸化(RTN)により、膜厚15Å程度の熱酸化膜を成長後に全面に膜厚60nm程度のシリコン窒化膜(Si₃N₄)を堆積し、さらにスチーム雰囲気(H₂O)中で800℃30分程度窒化膜表面を酸化することにより、容量絶縁膜16を形成する【図2(c)】。

【0032】その後、メモリセル部を覆うように選択的にフォトリソist22を露出し、フォトリソist22をマスクにして周辺回路部・ロジック回路部の容量絶縁膜

5

16をフルオロ・カーボン系のエッチングガス(CH₃CF₃、CF₄)を用いた異方性エッチングにより除去後、さらに、塩素(Cl₂)と臭化水素(HBr)ガスを用いた反応性イオンエッチングにより水素ブロック層17をエッチング除去する【図3(d)】。

【0033】その後、フォトリソist22を除去し、リンなどの不純物がドーピングされたn型の第2の多結晶シリコン膜からなる容量上部電極18を形成し、その後公知の製造方法により第3の層間絶縁膜19、コンタクトホール20およびアルミ配線21を形成して本実施の形態による半導体装置が完成する【図3(e)】。

【0034】本実施の形態によれば、容量絶縁膜の形成工程のシリコン窒化膜またはその後の窒化膜酸化時に、水素の発生および下方への拡散によりp⁺ゲート中のボロン(B)の拡散が促進され、ボロンがゲート酸化膜を突き抜けてシリコン基板表面に達することによるPMOSTランジスタのしきい値電圧(V_T)が低下することを防止することができる。

【0035】上記効果が得られる理由は、周辺回路部に多結晶シリコン膜からなる水素ブロック層17を設け、LPCVD法によるシリコン窒化膜堆積時や窒化膜酸化時に発生する大量の水素を多結晶シリコン膜中の結晶粒界などに存在するダングリングボンドにターミネートさせることにより、下方のPMOSTランジスタのゲート電極部へ到達する水素の量を大幅に減少させることができる。これにより、PMOSTランジスタ部のp⁺ゲート電極中のボロンがゲート酸化膜中を拡散し、基板表面に達することを防止できるからである。

【0036】次に第2の実施の形態を図4(a)(b)と共に説明する。第1の実施の形態と同様にして、DRAMの周辺回路部・ロジック回路部に容量蓄積電極15と同一の導電性膜からなる水素ブロック層17を設け、容量絶縁膜16となるシリコン窒化膜をLPCVD法により堆積後スチーム雰囲気での熱酸化により窒化膜表面を酸化し、酸化膜を形成する【図4(a)】。

【0037】次に、リンなどのn⁺型不純物がドーピングされた第2の多結晶シリコン膜を堆積後にメモリセル部に露出されたフォトリソist22をマスクにして反応性イオンエッチングにより容量上部電極18を形成するとともに、フォトリソist22をマスクにして周辺回路部・ロジック回路部の容量絶縁膜16と水素ブロック層17とを順次エッチング除去する【図4(b)】。

【0038】続いて、第1の実施の形態と同様にして、第3の層間絶縁膜、コンタクトホールおよびアルミ配線を形成して本実施の形態による半導体装置が完成する。

【0039】本実施の形態によれば、周辺回路部・ロジック回路部に多結晶シリコン膜からなる水素ブロック層17を設け、発生した水素を多結晶シリコン膜中の結晶粒界に存在するダングリングボンドにターミネートさせると共に、多結晶シリコン膜をDRAMの容量上部電極

(5)

特開2000-82803

7

18のエッチング時に同時に除去するようにしたので、水素ブロック層17を除去するための追加のリソグラフィ工程を追加することなく、容量絶縁膜形成工程時に発生した水素がゲート電極に到達する量を大幅に削減できる効果を得られる。

【0040】次に第3の実施の形態を図5(a)(b)と共に説明する。第1の実施の形態と同様にして、メモリセル部、周辺回路部・ロジック回路部に素子分離とトランジスタを形成後、第1の層間絶縁膜13とメモリセル部の n^+ 型拡散層4に接続されるビット線コンタクト10を形成する。

【0041】その後、全面に例えば膜厚30~100nmのチタン(Ti)膜と膜厚100~300nmの窒化チタン(TiN)膜を順次スパッタ法あるいはCVD法を用いて堆積する。次に、メモリセル部のビット線12と周辺回路部・ロジック回路部のTiN/Tiの積層膜の表面を覆うようにフォトリソスト22でマスクして異方性エッチングすることにより、ビット線12とビット線と同一の導電体膜からなる水素ブロック層17を形成する(図5(a))。

【0042】ここで、ビット線12および水素ブロック層17を構成する導電体膜としては、TiN/Tiの積層構造膜以外に膜厚100nm程度のリンなどの n 型不純物をドーピングした多結晶シリコン膜と膜厚100nm程度のタンゲステン・シリサイド(WSi_2)膜の積層構造膜やTiN/Tiの積層構造膜上にさらにタンゲステン(W)を堆積した構造でも構わない。

【0043】その後、全面に第2の層間絶縁膜14を形成する。第2の層間絶縁膜14は、膜厚100nm程度の常圧CVD法によるシリコン酸化膜とLPCVD法による膜厚300nm程度のBPSG膜から形成されている。また、第2の層間絶縁膜14の表面は平坦化されており、 p 型シリコン基板1の表面から第2の層間絶縁膜14表面の高さは800nm程度である。

【0044】次に、フォトリソスト22をマスクにした異方性エッチングを行うことにより、 n^+ 型拡散層4に達するメモリセル部のノードコンタクト11を形成する。ついで、フォトリソスト22を除去した後、膜厚800nm程度のリンなどの n 型不純物をドーピングした第1の多結晶シリコン膜をLPCVD法により堆積する。

【0045】次に、メモリセル部の容量蓄積電極形成予定領域の第1の多結晶シリコン膜表面を覆うようにフォトリソスト22でマスクして異方性エッチングすることにより、容量蓄積電極15を形成する。続いて、フォトリソストを除去した後、容量蓄積電極表面をアンモニア雰囲気での800~900℃の急速熱酸化(RTN)により、膜厚15Å程度の熱酸化膜を成長後に全面に膜厚60nm程度のシリコン窒化膜を堆積し、さらにスチーム雰囲気中で800℃30分程度シリコン窒化膜表面を

8

酸化することにより、容量絶縁膜16を形成する。

【0046】その後、LPCVD法により n 型の第2の多結晶シリコン膜を堆積し、メモリセル部の容量上部電極形成予定領域の第2の多結晶シリコン膜表面を覆うようにフォトリソスト22でマスクして第2の多結晶シリコン膜を異方性エッチングすることにより容量上部電極18を形成する。

【0047】続いて、フォトリソスト22をマスクにして周辺回路部・ロジック回路部の第2の多結晶シリコン膜の下にあった容量絶縁膜16と第2の層間絶縁膜14とをフルオロ・カーボン系のエッチングガスを用いた異方性エッチングにより除去する(図5(b))。

【0048】引き続きビット線12と同一の導電体膜からなる水素ブロック層17を塩素系のエッチングガスを用いた異方性エッチングにより除去する。その後、公知の製造方法により第3の層間絶縁膜、コンタクトホールおよびアルミ配線を形成して本実施の形態による半導体装置が完成する。

【0049】本実施の形態によれば、周辺回路部・ロジック回路部にビット線と同一の導電体膜からなる水素ブロック層17を設け、キャパシタ形成工程で発生した水素を通過させにくい高融点金属膜で遮断し、水素ブロック層17を容量上部電極18のエッチング時に同時に除去するようにしたので、水素ブロック層17を除去するための追加のリソグラフィ工程を追加することなく、容量絶縁膜形成工程時に発生した水素がゲート電極に到達することを防止することができる。

【0050】次に第4の実施の形態を図6(a)(b)と共に説明する。第3の実施の形態と同様にして、メモリセル部および周辺回路部・ロジック回路部に素子分離とトランジスタを形成後、第1の層間絶縁膜13とメモリセル部の n^+ 型拡散層4に接続されるビット線コンタクトホールを形成後、ビット線および水素ブロック層17を形成する。

【0051】その後、第3の実施の形態と同様にして、第2の層間絶縁膜14、ノードコンタクト11、容量蓄積電極15を形成後、容量蓄積電極15の表面をアンモニア雰囲気での800~900℃の急速熱酸化(RTN)により、膜厚15Å程度の熱酸化膜を成長後に全面に膜厚60nm程度のシリコン窒化膜を堆積し、さらにスチーム雰囲気中で800℃30分程度シリコン窒化膜表面を酸化することにより、容量絶縁膜16を形成する(図6(a))。

【0052】その後、容量上部電極18、および第3の層間絶縁膜19を順次形成していく。この段階では、周辺回路部・ロジック回路部には水素ブロック層17が残存している。

【0053】次に、第3の層間絶縁膜19上に形成するアルミ配線と下層のソース・ドレイン拡散層やゲート電極とを接続するためのコンタクトホールを形成するため

(6)

特開2000-82803

9

10

に、まずフォトリソistをマスクにして第3の層間絶縁膜19と第2の層間絶縁膜14とをフルオロ・カーボン系のエッチングガスを用いた異方性エッチングにより除去した後、露出したビット線と同一の導電体膜の水素ブロック層17を塩素系のエッチングガスを用いた異方性エッチングにより除去する。

【0054】続いて、第1の層間絶縁膜13をエッチングガスを用いてエッチングして、ソース・ドレイン拡散層とゲート電極の表面を露出させる。その後、コンタクトホール内でのアルミ配線と水素ブロック層との電気的短絡（ショート）を防止するためにLPCVD法やプラズマCVD（P-CVD）法によるシリコン酸化膜やシリコン窒化膜を堆積させた後、反応性イオンエッチングによるエッチバックにより側壁スペースをコンタクトホール内に形成する。その後公知の方法によりアルミ配線を形成して本発明の半導体装置が完成する【図6（b）】。

【0055】本実施の形態によれば、周辺回路部・ロジック回路部にビット線と同一の導電体膜からなる水素ブロック層17を設け、キャパシタ形成工程で発生した水素を通過させにくい高融点金属膜で遮断し、水素ブロック層17をアルミ配線と下層の導電体層を接続するコンタクトホールのエッチング時に同時に除去するようにしたので、水素ブロック層17を除去するための追加のリソグラフィ工程を追加することなく、容量絶縁膜形成工程時に発生した水素がゲート電極に到達することを防止することができる。

【0056】

【発明の効果】以上説明したように、本発明によれば、スタックキャパシタと p^+ ゲート構造のトランジスタを有する半導体装置の製造方法において、容量蓄積電極またはビット線と同一の導電体膜からなる水素ブロック層をメモリスル回路部とロジック回路部とに形成した後、メモリスル形成部にのみ選択的にフォトリソistを残置し、フォトリソistをマスクとして水素ブロック層をエッチング除去するようにしたことにより、容量絶縁膜の形成工程のシリコン窒化膜またはその後の窒化膜酸化時において、水素の発生および下方への拡散により p^+ ゲート中のボロンの拡散が促進され、ボロンがゲート酸化膜を突き抜けてシリコン基板表面に達することによるPMOSTランジスタのしきい値電圧（VT）が低下することを防止することができる。

【0057】また、水素ブロック層を多結晶シリコン膜で形成することにより、発生した水素を多結晶シリコン膜中の結晶粒界に存在するダングリングボンドにターミネートさせると共に、多結晶シリコン膜を容量上部電極のエッチング時に同時に除去するようにすることにより、水素ブロック層を除去するための追加のリソグラフ

ィー工程を追加することなく、容量絶縁膜形成工程時に発生した水素がゲート電極に到達する量を大幅に削減できる。

【0058】また、水素ブロック層をキャパシタ形成工程で発生した水素を通過させにくい高融点金属膜で形成し、水素ブロック層を容量上部電極のエッチング時、あるいはアルミ配線と下層の導電体層を接続するコンタクトホールのエッチング時に同時に除去するようにすることにより、水素ブロック層を除去するための追加のリソグラフィ工程を追加することなく、容量絶縁膜形成工程時に発生した水素がゲート電極に到達することを防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置の製造方法の一工程における半導体装置を示す断面図である。

【図2】本発明の第1の実施の形態による半導体装置の製造方法の工程を示す断面図である。

【図3】本発明の第1の実施の形態による半導体装置の製造方法の工程の続きを示す断面図である。

【図4】本発明の第2の実施の形態による半導体装置の製造方法の工程を示す断面図である。

【図5】本発明の第3の実施の形態による半導体装置の製造方法の工程を示す断面図である。

【図6】本発明の第4の実施の形態による半導体装置の製造方法の工程を示す断面図である。

【図7】従来のスタック型キャパシタとPNゲート構造を有するロジック混載DRAMとしての半導体記憶装置の構成を示す断面図である。

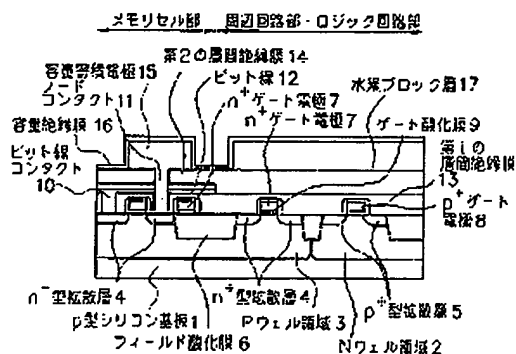
【符号の説明】

- 1 p 型シリコン基板
- 4 n^+ 型拡散層
- 7 n^+ ゲート電極
- 8 p^+ ゲート電極
- 9 ゲート酸化膜
- 10 ビット線コンタクト
- 11 ノードコンタクト
- 12 ビット線
- 13 第1の層間絶縁膜
- 14 第2の層間絶縁膜
- 15 容量蓄積電極
- 16 容量絶縁膜
- 17 水素ブロック層
- 18 容量上部電極
- 19 第3の層間絶縁膜
- 20 コンタクトホール
- 21 アルミ配線
- 22 フォトリソist

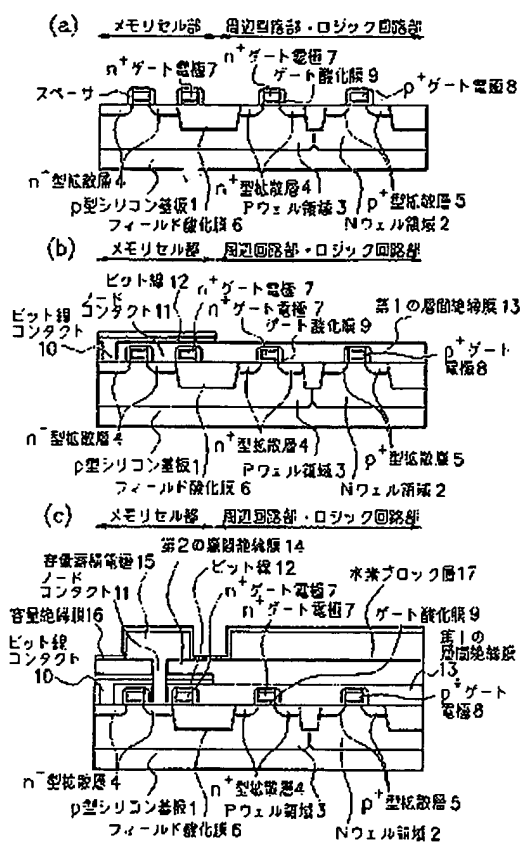
(7)

特開2000-82803

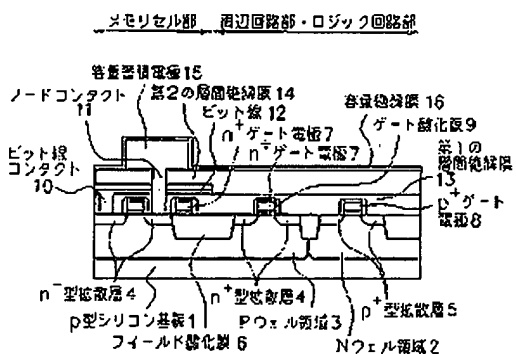
【図1】



【図2】



【図3】

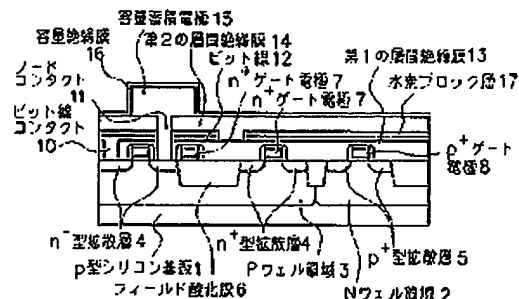


特開2000-82803

【图6】

(a)

メモリセル部 周辺回路部・ロジック回路部



(b)

メモリアル部 周辺回路部・ロジック回路部

